

A4



EP0932197

Biblio

Desc

Claims

Page 1

Drawing



Method of varying MOS transistor critical characteristics of integrated circuits

Patent Number: ☐ [EP0932197](#)

Publication date: 1999-07-28

Inventor(s): SCHINELLA RICHARD D (US)

Applicant(s): LSI LOGIC CORP (US)

Requested Patent: ☐ [JP11220038](#)

Application Number: EP19980306767 19980824

Priority Number(s): US19980013766 19980127


IPC Classification: H01L21/8234; H01L21/8238

EC Classification: [H01L21/8234S](#), [H01L21/8238S](#)

Equivalents:

Cited Documents: [US5296401](#); [US5460993](#); [JP7176729](#)

Abstract

An integrated circuit (8) and method of fabricating lightly doped source/drain type devices thereon to form spacer widths of different dimensions to effectively vary the electrical characteristics of selected ones of the devices to facilitate different drive-current capabilities on the same chip. By varying the spacer width the lateral separation between the lightly doped portion of the source and drain regions (14,16) and the heavily doped portions of the source and drain regions (14,16) can be varied in a controlled manner, giving rise to a variation in device performance characteristics. 

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-220038

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/8238
21/336
27/092
29/78H 0 1 L 27/08
29/783 2 1 E
3 0 1 P

審査請求 未請求 請求項の数12 O L (全 6 頁)

(21) 出願番号 特願平10-222630

(22) 出願日 平成10年(1998) 8月6日

(31) 優先権主張番号 0 1 3 7 6 6

(32) 優先日 1998年1月27日

(33) 優先権主張国 米国 (US)

(71) 出願人 591007686

エルエスアイ ロジック コーポレーショ
ンL S I L O G I C C O R P O R A T I
O Nアメリカ合衆国、カリフォルニア州、ミル
ピタス、マッカーシー ブルバード 1551

(72) 発明者 リチャード・ディ・シネラ

アメリカ合衆国カリフォルニア州95070,
サラトガ, ビスタ・アロイオ・コート
12206

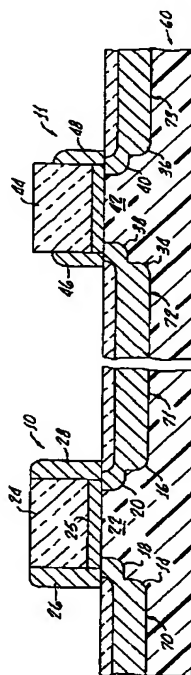
(74) 代理人 弁理士 社本 一夫 (外5名)

(54) 【発明の名称】 集積回路におけるMOSトランジスタの電気的特性変動方法

(57) 【要約】

【課題】 同じ集積回路チップの上に、異なる駆動電流及び漏れ電流能力を有するLDDMOSトランジスタ・デバイスを作ること

【解決手段】 集積回路(8)上のデバイスの選択されたものの電気的特性を効果的に変動させて、同じチップの上で、異なる駆動電流能力(drive current capabilities)を生じさせる。スペーサの幅を変動させることによって、ソース及びドレイン領域(14、16)の僅かにドーパされた部分と多くドーパされた部分との間の横方向の分離を、制御された態様で変動させることができ、デバイスの動作特性を変動させることができる。



1

【特許請求の範囲】

【請求項 1】 異なる駆動電流能力を備えた複数の n チャンネル及び p チャンネル・デバイスを有する集積回路の製造方法であって、

複数の n チャンネル及び p チャンネル・デバイスがその上に形成されている先に形成された半導体構造を有するシリコン・ベースの集積回路ダイをエッチングして、幅の広い側壁スペースを形成するステップと、

前記結果的に生じたスペースを、前記 n チャンネル及び前記 p チャンネル・デバイスの中の選択されたものに対して 10 マスキングするステップと、

前記第 1 のエッチング・ステップの結果として生じるマスキングされたシリコン・ベースの集積回路をエッチングして、前記 n チャンネル・デバイスのいくつかにおける所望の大きさのスペースと、前記 p チャンネル・デバイスのいくつかにおける所望の大きさのスペースとを形成し、実質的に異なる駆動電流能力を備えた複数の n チャンネル及び p チャンネル・デバイスを有する集積回路の製造を容易にするステップと、

を含むことを特徴とする方法。

【請求項 2】 異なる駆動電流能力を備えた n チャンネル・デバイスを有する集積回路の製造方法であって、複数の n チャンネル・デバイスがその上に形成されている先に形成された半導体構造を有するシリコン・ベースの集積回路ダイをエッチングして、幅の広い側壁スペースを形成するステップと、

前記結果的に生じたスペースを、前記 n チャンネル・デバイスの中の選択されたものに対してマスキングするステップと、

前記第 1 のエッチング・ステップの結果として生じるマスキングされたシリコン・ベースの集積回路をエッチングして、前記 n チャンネル・デバイスのいくつかにおける所望の大きさのスペースと、前記 n チャンネル・デバイスのそれ以外のいくつかにおける所望の大きさのスペースとを形成し、実質的に異なる駆動電流能力を備えた複数の n チャンネル・デバイスを有する集積回路の製造を容易にするステップと、

を含むことを特徴とする方法。

【請求項 3】 異なる駆動電流能力を備えた p チャンネル・デバイスを有する集積回路の製造方法であって、

複数の p チャンネル・デバイスがその上に形成されている先に形成された半導体構造を有するシリコン・ベースの集積回路ダイをエッチングして、幅の広い側壁スペースを形成するステップと、

前記結果的に生じたスペースを、前記 p チャンネル・デバイスの中の選択されたものに対してマスキングするステップと、

前記第 1 のエッチング・ステップの結果として生じるマスキングされたシリコン・ベースの集積回路をエッチングして、前記 p チャンネル・デバイスのいくつかにおける 50

2

所望の大きさのスペースと、前記 p チャンネル・デバイスのそれ以外のいくつかにおける所望の大きさのスペースとを形成し、実質的に異なる駆動電流能力を備えた複数の p チャンネル・デバイスを有する集積回路の製造を容易にするステップと、

を含むことを特徴とする方法。

【請求項 4】 請求項 1 記載の方法によって製造され、異なる駆動電流能力を備えた複数の n チャンネル及び p チャンネル・デバイスを有することを特徴とする集積回路。

【請求項 5】 請求項 2 記載の方法によって製造され、前記 n チャンネル・デバイスの他の選択されたものとは異なる駆動電流能力を有する前記 n チャンネル・デバイスの中の選択されたものを備えた複数の n チャンネル・デバイスを有することを特徴とする集積回路。

【請求項 6】 請求項 3 記載の方法によって製造され、前記 p チャンネル・デバイスの他の選択されたものとは異なる駆動電流能力を有する前記 p チャンネル・デバイスの中の選択されたものを備えた複数の p チャンネル・デバイスを有することを特徴とする集積回路。

【請求項 7】 請求項 1 記載の方法によって製造され、異なる駆動電流能力を備えた複数の n チャンネル及び p チャンネル・デバイスを有する少なくとも 1 つの集積回路を有することを特徴とするプリント回路ボード。

【請求項 8】 請求項 2 記載の方法によって製造され、前記 n チャンネル・デバイスの他の選択されたものとは異なる駆動電流能力を有する前記 n チャンネル・デバイスの中の選択されたものを備えた複数の n チャンネル・デバイスを有する少なくとも 1 つの集積回路を有することを特徴とするプリント回路ボード。

【請求項 9】 請求項 3 記載の方法によって製造され、前記 p チャンネル・デバイスの他の選択されたものとは異なる駆動電流能力を有する前記 p チャンネル・デバイスの中の選択されたものを備えた複数の p チャンネル・デバイスを有する少なくとも 1 つの集積回路を有することを特徴とするプリント回路ボード。

【請求項 10】 少なくとも 1 つの集積回路をその上に備えた少なくとも 1 つのプリント回路ボードを有する電子デバイスであって、前記集積回路は、請求項 1 記載の方法によって製造され異なる駆動電流能力を備えた複数の n チャンネル及び p チャンネル・デバイスを有していることを特徴とする電子デバイス。

【請求項 11】 少なくとも 1 つの集積回路をその上に備えた少なくとも 1 つのプリント回路ボードを有する電子デバイスであって、前記集積回路は、請求項 2 記載の方法によって製造され前記 n チャンネル・デバイスの他の選択されたものとは異なる駆動電流能力を有する前記 n チャンネル・デバイスの中の選択されたものを備えた複数の n チャンネル・デバイスを有していることを特徴とする電子デバイス。

【請求項 12】 少なくとも 1 つの集積回路をその上に

3

備えた少なくとも1つのプリント回路ボードを有する電子デバイスであって、前記集積回路は、請求項3記載の方法によって製造され前記pチャネル・デバイスの他の選択されたものとは異なる駆動電流能力を有する前記pチャネル・デバイスの中の選択されたものを備えた複数のpチャネル・デバイスを有していることを特徴とする電子デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、広くは、シリコン・ベースの集積回路の製造方法に関し、更に詳しくは、異なる寸法のスペーサ幅に対して僅かにドーブされた (lightly doped) ソース/ドレイン・タイプのデバイスを製造し、共通の集積回路チップ上のデバイスの中の選択されたものの電気的特性を効果的に変動させ、同じチップ上において異なる駆動電流能力 (drive current capabilities) を容易にする方法に関する。

【0002】

【従来の技術】僅かにドーブされたソース/ドレイン・タイプでシリコン・ベースの集積回路デバイスを作る製造技術は、長い間、実践されてきている。これに関しては、例えば、次に挙げる技術文献を参照することができる。これらの文献は、この出願において援用される。すなわち、H. B. Bakalu, Circuits, Interconnections, and packaging for VLSI, Addison-Wesley (1990); A. S. Grove, Physics and Technology of Semiconductor Devices, Wiley, New York, NY (1967); R. S. Muller and T. I. Kamins, Device Electronics for Integrated Circuits, Wiley, New York, NY, (1977); E. S. Yang, Fundamentals of Semiconductor Devices, McGraw-Hill, New York, NY (1978); B. G. Streetman, Solid State Electronic Devices, Prentice-Hall, Englewood Cliffs, NJ (1980); T. E. Dillinger, VLSI Engineering, Prentice-Hall, Englewood Cliffs, NJ (1988); S. M. Sze, Physics of Semiconductor Devices, 2d ed., Wiley, New York, (1981); R. H. Krambeck, C. M. Lee, and H. S. Law, "High-speed compact circuit with CMOS," IEEE Journal of Solid-State Circuits, vol. SC-17, pp 614-619, June 1982; and Texas Instruments VLSI Laboratory, "Technology and design challenges of MOS VLSI," IEEE Journal of Solid-State Circuits, vol. SC-17, no. 3, pp 442-448, June, 1982.

【0003】

【発明が解決しようとする課題】これらの文献に開示されている製造技術は多くの応用例で十分なものではあるが、今日の技術においては、より大きな動作速度を実現するために、新たな改善された製造方法が非常に強く望まれている。

【0004】更に詳しくは、今日の技術的な需要では、変動する駆動電流能力を備え p チャネル MOS デバイス

4

と n チャネル MOS デバイスとを混在させることができ、チップの電力消費がより小さく、動作速度がより大きいことが要求される。

【0005】しかし、これまでは、駆動電流能力が変動するようなデバイスを提供することは、実際的にはなかった。

【0006】従って、異なるタイプ及び種類の LDDMOS トランジスタ・デバイスを、異なる駆動電流及び漏れ電流能力を有する共通の基板の上において与えるような新たな改善された技術を提供することが、強く望まれる。

【0007】従って、本発明の主な目的は、同じ集積回路チップの上において異なる駆動電流及び漏れ電流能力を有する LDDMOS トランジスタ・デバイスを作るための新規で改善された製造方法を提供することである。

【0008】

【課題を解決するための手段】簡単にいうと、本発明の上述の及びそれ以外の目的は、結果的に駆動及び漏れ電流の両方を変動させる僅かにドーブされたソース/ドレイン・タイプの集積回路デバイスを製造する新規で改善された方法を提供することによって、実現される。この方法は、2つのステップから成るスペーサ・エッチング・プロセスを含み、第1のエッチング・ステップが実行されると、幅の広い側壁スペーサが生じる。次に、複数の側壁スペーサを、マスキングによって保護することにより、第2のそして最後のエッチング・ステップの間に、それ以上のエッチングがなされないようにする。マスクを適切な位置に配置することによって、又は、pチャネル又はnチャネル・トランジスタ・デバイスをフォトレジストを用いて被覆することによって、第2のエッチング・ステップの間に、所望の高さと幅とを有するスペーサが形成される。スペーサの大きさがこのように変動することの結果として、同じ基板の上に、異なる駆動電流及び漏れ電流能力を有する異なるタイプ及び種類の LDDMOS デバイスが形成される。

【0009】ある実施例では、側壁スペーサは、幅が狭く作られ、その結果として、デバイスのゲート遅延が減少することによって、より大きな駆動電流、より高いホット・キャリア感度、より高い動作速度を有するデバイスが、得られる。

【0010】別の実施例では、側壁スペーサは、幅が広く作られ、その結果として、デバイスのゲート遅延が増加することによって、より小さな駆動電流、より小さなデバイスの S/D 漏れ電流、より低いホット・キャリア感度、より低い動作速度を有するデバイスが得られる。

【0011】

【発明の実施の形態】次に述べる本発明の実施例に関する説明を添付の図面を参照して読むことによって、本発明の上述の及びそれ以外の目的及び特徴とそれを実現する態様とが、明らになり、発明自体も最も良く理解で

5

きるはずである。

【0012】次に図面を、特に図6を参照する。この図には、異なるタイプの駆動電流能力を備えた複数の異なるタイプの僅かにドーブされたソース／ドレイン・タイプのデバイスを含む、本発明に従って製造された集積回路チップ8が示されている。集積回路チップ8は、その上に異なるタイプ及び種類のLDDMOSデバイスが形成されているが、本発明の新規な方法に従って、製造される。

【0013】集積回路チップ8は、一般に、nウェル70及び71、pウェル72及び73などの複数のnウェル及びpウェルがその上に形成された半導体基板9を有しており、それによって、少なくとも1つの低い駆動と低い漏れの僅かにドーブされたソース／ドレイン(LDD)を有する金属酸化物半導体(MOS)トランジスタ・デバイス10と、少なくとも1つの高い駆動と高い漏れの僅かにドーブされたソース／ドレイン(LDD)を有する金属酸化物半導体(MOS)トランジスタ・デバイス11との形成を容易にしている。

【0014】図6において最も良く見られるように、MOSデバイス10は、一般に、ソース領域14と、ドレイン領域16と、ソース領域14に隣接するLDD領域18と、ドレイン領域16に隣接する別のLDD領域20と、を含む。LDD領域18及び20は、その上にゲート24が形成されているチャンネル22をその間に定義しており、チャンネル22に隣接する位置には、ゲート酸化層25が積層されている。酸化層又は誘電体スペーサ26が、LDD領域18からゲート24を分離し、別の酸化層又は誘電体スペーサ28が、他方のLDD領域20からゲート24を分離している。

【0015】図6において最も良く見られるように、MOSデバイス11は、一般に、ソース領域34と、ドレイン領域36と、ソース領域34に隣接するLDD領域38と、ドレイン領域36に隣接する別のLDD領域40と、を含む。LDD領域38及び40は、その上にゲート44が形成されているチャンネル42をその間に定義しており、チャンネル42に隣接する位置には、ゲート酸化層45が積層されている。酸化層又は誘電体スペーサ46が、LDD領域38からゲート44を分離し、別の酸化層又は誘電体スペーサ48が、他方のLDD領域40からゲート44を分離している。

【0016】集積回路チップ8を製造するためには、LDDMOSトランジスタ・デバイス50やLDDMOSトランジスタ・ダイ52などの複数のLDDMOSデバイスがその上に形成されている予め製造された半導体ダイ30が、このLDDMOSデバイスを、二酸化シリコン層などの絶縁材料32から成る誘電層を用いてオーバーレイすることによって処理される。このようにして、次に更に詳細に説明するように、所望の高さと厚さとを有する側壁スペーサの組が生じるように更に処理すること

6

のできる修正されたダイ34が、形成される。

【0017】予め製造されたLDDMOSトランジスタ・ダイ30を形成する方法は、従来からのものであり当業者には広く知られているので、ここでは、これ以上詳しく述べることはしない。ただし、LDD領域18、20、38、40は、低エネルギー線量の注入によって形成されているのに対し、ソース及びドレイン領域14、16、18、34、36は高エネルギー注入によって形成されていることを、付言しておく。

【0018】絶縁材料から成る層32が形成された後で、修正されたダイ34は、エッチングされ、それぞれがスペーサ26、28及びスペーサ29、31などの実質的に均一で幅の広い壁部LDDスペーサの組を有するnMOSデバイス10やpMOSデバイス13などの複数のnMOS及びpMOSデバイスを有する集積回路チップ60(図4)が形成される。結果的に形成される幅の広い壁部スペーサは、電気的な絶縁体として機能し、最終的な半導体デバイスのそれぞれのゲートとソース／ドレインとの間の不所望の短絡を防止するのに役立つ。

【0019】本発明の好適実施例では、絶縁層32の除去はエッチング技術によって達成されると説明されたが、当業者であれば、イオン・ミリング(ion milling)などの、それ以外の技術を用いてもよいことは、容易に理解するはずである。また、当業者であれば、LDDスペーサは、シリコン窒化物などの、シリコン・デバイス処理との互換性を有する任意の他の適切な絶縁材料を用いて形成することもできることを理解するはずである。

【0020】図5に最も良く示されているように、同じ基板の上に異なるサイズのスペーサを形成することを容易にするに、フォトレジストのマスク又は層62が、低駆動低漏れタイプのデバイス専用のダイ60の部分に与えられる。高駆動高漏れタイプのデバイスの専用であるダイ60の残りの部分は、フォトレジスト層62で被覆されることはない。

【0021】マスクされた半導体ダイ60は、次に、エッチングされ、スペーサ46及び48などのスペーサが、先に形成されマスクされたスペーサ26及び28よりも実質的に短く幅の狭い寸法を有するように形成される。この第2のスペーサ・エッチング動作のためには、等方性(isotropic)エッチングが用いられ、横方向(lateral)のエッチングを与える。等方性エッチングは、乾式エッチング(プラズマ)でも湿式エッチングでもよい。結果として得られる集積回路チップ8は、複数の低駆動電流低漏れ電流デバイス10と複数の高駆動電流高漏れ電流デバイス11とがその上に形成されているが、切断されて、図1に図解されている複数の低駆動デバイス10だけを有するウエハ109や、図2に図解されている複数の高駆動デバイス11だけを有するウエハ209や、図6に図解されている低駆動デバイ

7

ス10と高駆動デバイス11との組合せを有するウエハ8などの、プリント回路ボード100上に実装可能なウエハが得られる。

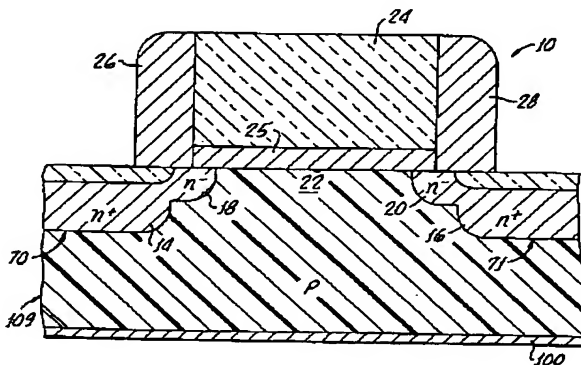
【0022】好適実施例では、nMOSタイプのデバイス10とpMOSタイプのデバイス11とが説明されたが、当業者であれば、デバイス10及び11の構造を反転させてデバイス10がpMOSタイプのデバイスでありデバイス11がnMOSタイプのデバイスであるようにすることができることを理解するはずである。

【0023】従って、本発明の真の精神と範囲においては、別の修正も可能であり、考慮されうる。短い及び長いチャネルを有するnMOS及びpMOSデバイスの両方が可能であって考慮され、ここで説明した幅が狭い及び広いLDDスペーサの概念と組み合わせられて、異なる動作特性を有する複数のデバイスが得られる。更に、このプリント回路ボードを、複数チップのモジュール又はハイブリッド・モジュールに拡張することもできる。

【図面の簡単な説明】

【図1】本発明に従って構成された低駆動低漏れLDD*

【図1】



8

*MOSトランジスタ・デバイスの部分的な断面図である。

【図2】本発明に従って構成された高駆動高漏れLDD MOSトランジスタ・デバイスの部分的な断面図である。

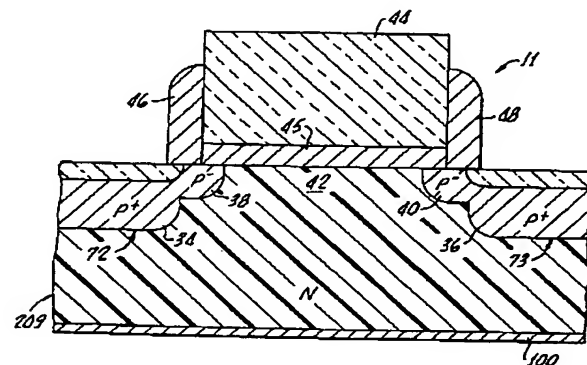
【図3】複数の異なるタイプのLDD MOSトランジスタ・デバイスを有する集積回路チップの製造において用いられる回路ダイの部分的な断面図であり、製造過程における第1のスペーサ・エッチング段階の直前のダイが図解されている。

【図4】図3の回路ダイの部分的な断面図であり、製造過程における第1のスペーサ・エッチング段階の直後のダイが図解されている。

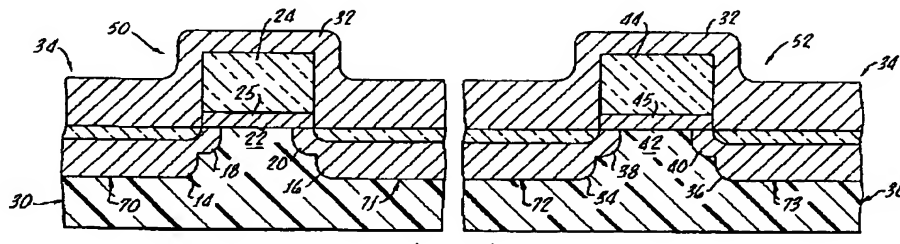
【図5】図4の回路ダイの部分的な断面図であり、製造過程におけるマスキング段階におけるダイが図解されている。

【図6】図5の回路ダイの部分的な断面図であり、製造過程における第2のスペーサ・エッチング段階の直後のダイが図解されている。

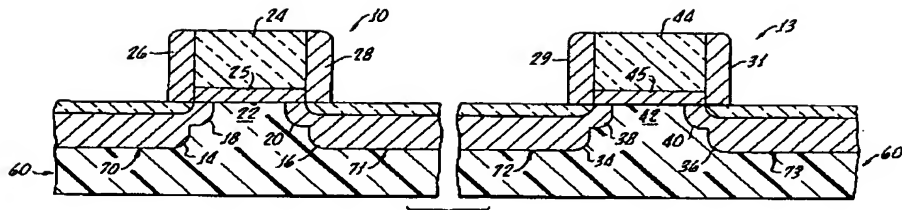
【図2】



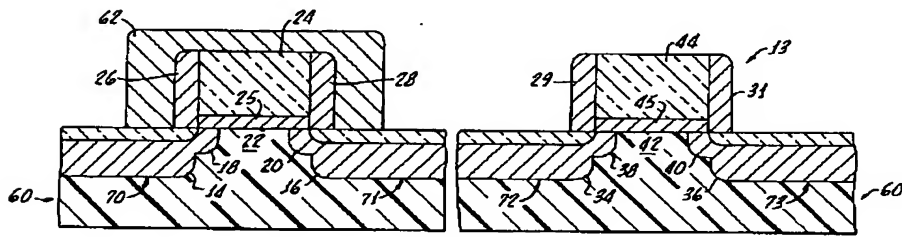
【図3】



【図 4】



【図 5】



【図 6】

